

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑪ 公開特許公報 (A)

昭57-14922

⑫ Int. Cl.<sup>3</sup>

G 06 F 1/04  
13/00

識別記号

庁内整理番号

6974-5B  
7361-5B

⑬ 公開 昭和57年(1982)1月26日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 記憶装置

⑮ 特 願 昭55-89232

⑯ 出 願 昭55(1980)7月2日

⑰ 発 明 者 田栗順一

秦野市堀山下1番地株式会社日

立製作所神奈川工場内

⑱ 出 願 人 株式会社日立製作所

東京都千代田区丸の内1丁目5

番1号

⑲ 代 理 人 弁理士 薄田利幸

明 細 書

1 発明の名称 記憶装置

2 特許請求の範囲

中央処理装置の基本クロックに同期して動作する記憶装置において、インタフェース信号の受信および送信のクロックを上記基本クロックから選択するクロック、セレクトと、該クロックの選択条件が外部から設定されることにより該選択条件で上記クロック、セレクトを選択する構成制御レジスタとを、複数設けることを特徴とする記憶装置。

3 発明の詳細な説明

本発明は、記憶装置(以下MSと記す)に適用してインタフェース信号の受信および送信クロックを自由に選択できるMSに関するものである。

中央処理装置(以下CPUと記す)の基本クロックに同期してインタフェース信号の受信および送信動作を行うMSにおいては、CPUのマシンサイクル、およびCPUとMSとの間のケーブル長等による遅れを考慮して、CPUとMS間の伝送時間

を、 $\frac{1}{4}$ 、 $\frac{2}{4}$ 、 $\frac{3}{4}$ 、または $\frac{4}{4}$ マシンサイクル等のうちの何れかに決定している。

それから、MSはCPUにおけるインタフェース信号の送信および受信時間と、さらに前述のように決定された伝送時間により、インタフェース信号の受信および送信クロックを決定する。

第1図は、従来のMSとCPUの接続図である。

MS1には、インタフェース受信ラッチ2、インタフェース送信ラッチ3、制御部4および記憶部5が設けられ、インタフェース受信ラッチ2と送信ラッチ3を介してCPU6に接続される。

CPU6から伝送される、本インタフェース信号3(1-0)は、各々クロック信号としてインタフェース受信ラッチ2にラッチされる。このラッチ情報により、制御部4および記憶部5が動作する。

インタフェース送信ラッチ3は、この一連の動作の報告情報をクロック信号1により、本インタフェース信号3(1-0)としてCPU6に送信する。

図1図の場合、インタフェース受信ラッチ2およびインタフェース送信ラッチ3のラッチ、クロック11、12は、各々CPU6のクロック発生部10から分配されたクロックが使用され、CPU6に於けるインタフェース信号の送信および受信クロックに対し、CPU6とMS1間の伝送時間(1/4、3/4、1/2または1/4 マシン、サイクル等)だけずらしたクロックが用いられる。

このように、従来は、MSに於けるインタフェース信号の受信および送信のクロックが、ハードウェアにより固定されているため、マシン、サイクルの変更、接続ケーブル長の変更が発生した場合、ハードウェアの大幅な変更が必要である。また、マシン、サイクルまたは接続ケーブル長の異なる他のCPUからMSを共用することが不可能であり、MSは特定のCPU専用になっている。

本発明の目的は、このような従来の問題を解決するため、インタフェース系の時間関係に論理的な自由度を与え、ハードウェアを変更する

する。

インタフェース送信ラッチ3は、この一連の動作の報告情報を、クロック信号12により、本のインタフェース信号S<sub>i</sub>(1-n)としてCPU6に送信する。

MS1は、これらの他に構成制御レジスタ7およびクロック、セレクト8を備えており、インタフェース受信ラッチ2およびインタフェース送信ラッチ3のラッチ、クロックは、各々クロック、セレクト8により論理的に選択されたクロック11または12を受ける。また、このクロック、セレクト8による論理的なクロック選択は構成制御レジスタ7により制御される。さらに構成制御レジスタ7への選択条件の書き込みはスキャン、インまたはパネルのスイッチ操作等の種々の方法により実行可能である。

なお、入出力インタフェース信号に対し、これらの構成制御レジスタ7、クロック、セレクト8は複数回用重されており、各々構成制御レジスタ7への書き込みにより、インタフェース

ことなくマシン、サイクルの異なる多数のCPUへの接続、およびインタフェース系の時間関係の変更を可能にしたMSを提供することにある。

本発明のMSは、インタフェース信号の受信および送信のタイミングを決定する複数個のクロック選択用セレクトと、これらのセレクトと対をなし、かつセレクトの選択条件を制御する構成制御レジスタを付け、この構成制御レジスタに外部から制御情報を書き込むことにより、インタフェース信号の受信、送信クロックを選択することを特徴としている。

以下、本発明の実施例を、第2図により説明する。

MS1は、従来と同じく、インタフェース受信ラッチ2、インタフェース送信ラッチ3、制御部4および記憶部5を備え、CPU6に接続される。CPU6から伝送された、本のインタフェース信号S<sub>i</sub>(1-n)は、各々クロック信号11でインタフェース受信ラッチ2にラッチされる。このラッチ情報により、制御部4および記憶部5が動作

信号の受信および送信クロックを論理的に自由に選択することが可能である。

以上説明したように、本発明によれば、MSのインタフェース信号の受信および送信クロックを論理的に自由に選択できるため、マシン、サイクルまたは接続ケーブル長の異なる他のCPUによるMSの共用が可能であり、また特定のCPUと接続された状態では、マシン、サイクルの変更、接続ケーブル長の変更、あるいはメモリ素子の性能変更の際に、ハードウェアを変更する必要がない。さらに、試験的にクロック信号を変更して、インタフェース信号のマージナル試験を簡単にを行うことができる。

#### 4 図面の簡単な説明

図1図は従来のMSとCPUとの接続図、第2図は本発明の実施例を示すMSとCPUとの接続図である。

1…記憶装置(MS)      2…インタフェース受信ラッチ  
3…インタフェース送信ラッチ

- 4 ... 制御部  
5 ... 記憶部  
6 ... 中央処理装置 (CPU)  
7 ... 構成制御レジスタ  
8 ... クロック・セレクタ  
9 ...  
10 ... クロック発生部  
10-3 ... 基本クロック  
Si (1-a) ... インタフェース受信信号  
Si (1-a) ... インタフェース送信信号

代理人弁護士 澤田 利 幸

図 1

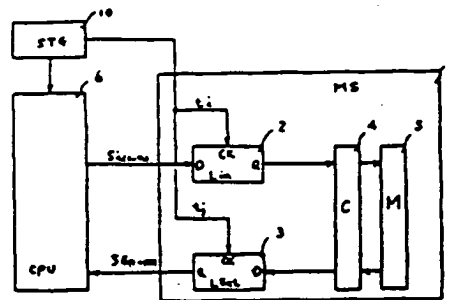


図 2

